



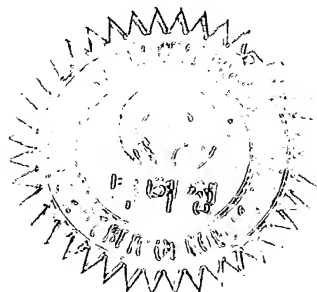
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0059554  
Application Number PATENT-2002-0059554

출원 년 월 일 : 2002년 09월 30일  
Date of Application SEP 30, 2002

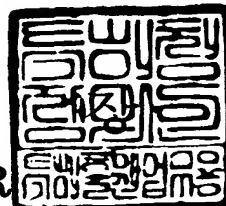
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 11 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.30
【발명의 명칭】	불휘발성 메모리 장치 및 그 제조방법
【발명의 영문명칭】	Non-volatile memory device and Method of manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	임헌형
【성명의 영문표기】	LEAM, Heon Heoung
【주민등록번호】	650223-1453015
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 450번지 신갈삼성아파트 102-202
【국적】	KR
【발명자】	
【성명의 국문표기】	형용우
【성명의 영문표기】	HYUNG, Yong Woo
【주민등록번호】	620612-1531018
【우편번호】	449-840
【주소】	경기도 용인시 수지읍 삼성5차아파트 523-1605
【국적】	KR
【발명자】	
【성명의 국문표기】	유영섭
【성명의 영문표기】	YOU, Young Sub
【주민등록번호】	621010-1161812

【우편번호】	459-110
【주소】	경기도 평택시 지산동 1093번지 한양청솔아파트 5동 301
【국적】	KR
【발명자】	
【성명의 국문표기】	이우성
【성명의 영문표기】	LEE, Woo Sung
【주민등록번호】	731111-1029441
【우편번호】	449-060
【주소】	경기도 용인시 삼가동 135-8번지 삼성그린빌리지 102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	18 항 685,000 원
【합계】	721,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

불휘발성 메모리 장치 및 그 제조방법이 개시되어 있다. 반도체 기판 상에 제1 영역에서는 제1 간격으로 배치되고 상기 제1 영역에 인접한 제2 영역에서는 상기 제1 간격보다 넓은 제2 간격으로 배치되는 복수개의 적층형 게이트 구조물들이 형성된다. 각각의 적층형 게이트 구조물의 양 측벽 상에 저 유전율의 절연 물질로 이루어진 제1 게이트 스페이서가 형성된다. 상기 제1 간격을 매립하도록 제1 게이트 스페이서 상에 단차 도포성이 우수한 절연 물질로 이루어진 제2 게이트 스페이서가 형성된다. 제1 게이트 스페이서와 제2 게이트 스페이서의 이중 스페이서 구조에 의해 게이트와 게이트 사이에 보이드가 발생하는 것을 방지함으로써, 후속 공정에서 액티브 영역이 오픈되어 그 위에 실리사이드가 형성되는 것을 방지한다.

**【대표도】**

도 3

**【명세서】****【발명의 명칭】**

불휘발성 메모리 장치 및 그 제조방법(Non-volatile memory device and Method of manufacturing the same)

**【도면의 간단한 설명】**

도 1a 및 도 1b는 종래 방법에 의한 불휘발성 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

도 2는 본 발명의 일 실시예에 의한 불휘발성 메모리 장치의 평면도이다.

도 3은 도 2의 AA'선에 따른 불휘발성 메모리 장치의 단면도이다.

도 4a 내지 도 4f는 도 2의 AA'선에 따른, 불휘발성 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100 : 반도체 기판      101 : 액티브 영역

102 : 터널 산화막      104 : 플로팅 게이트

106 : 유전막      108 : 컨트롤 게이트

110 : 적층형 게이트 구조물      112a : 제1 게이트 스페이서

114a : 제2 게이트 스페이서      116 : 저지층

118 : 층간 절연막      120 : 금속 실리사이드

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 반도체 장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 게이트와 게이트 사이에 보이드(void)가 형성되는 것을 방지할 수 있는 불휘발성 메모리 장치 및 그 제조방법에 관한 것이다.
- <13>        반도체 장치가 고집적화 됨에 따라, 칩 상에 형성되는 패턴의 크기가 작아질 뿐만 아니라 패턴들 간의 간격도 점점 좁아지고 있다. 과거에는 폴리실리콘이 게이트 전극 및 비트라인과 같은 배선 재료로 매우 유용한 물질이었으나, 패턴들이 점점 작아짐에 따라 폴리실리콘의 비저항이 너무 커서 RC 시간 지연 및 IR 전압 강하 등이 증가하였다. 또한, 트랜지스터의 게이트 길이의 감소로 인한 쇼트-채널 효과(short channel effect) 및 펀치쓰루우(punchthrough)를 개선시키기 위해 소오스/드레인 영역의 접합 깊이(junction depth)를 얇게 형성하면서 동시에 소오스/드레인 영역의 기생 저항, 예컨대 면 저항(sheet resistance) 및 콘택 저항을 감소시켜야 한다.
- <14>        이에 따라, 게이트 및 소오스/드레인 영역의 표면에 실리사이드(silicide)를 형성하여 게이트의 비저항 및 소오스/드레인 영역의 기생 저항을 감소시킬 수 있는 살리사이드(self-aligned silicide; salicide) 공정이 새로운 금속화 공정으로 사용되고 있다. 살리사이드 공정이란, 게이트 전극 및 소오스/드레인 영역에만 선택적으로 실리사이드를 형성하는 공정이다. 이러한 실리사이드는 티타늄 실리사이드( $TiSi_2$ )나 8족 실리사이드( $PtSi_2$ ,  $PdSi_2$ ,  $CoSi_2$ , 및  $NiSi_2$ ) 등의 물질로 형성된다.

- <15> 특히, 실리콘 기판 상에 형성된 터널 산화막, 플로팅 게이트, 유전막 및 컨트롤 게이트를 구비하는 수직 적층형 게이트 구조를 갖는 불휘발성 메모리 장치에 있어서, 디자인-룰이  $0.1\mu\text{m}$ 급 이하로 축소됨에 따라 워드라인으로 제공되는 컨트롤 게이트의 저항을 낮추기 위하여 살리사이드 공정을 적용하여 게이트 위에만 선택적으로 코발트 실리사이드( $\text{CoSi}_2$ )와 같은 실리사이드층을 형성하고 있다.
- <16> 한편, 불휘발성 메모리 장치의 셀 트랜지스터의 소오스/드레인을 저농도로 도핑된 불순물 영역으로 형성할 경우에는 판독(read) 동작시 ON-전류가 감소하는 문제가 있고, 고농도로 도핑된 불순물 영역으로 형성할 경우에는 트랜지스터의 펀치쓰루우(punchthrough) 마진이 감소되고 핫-캐리어 효과(hot-carrier effect)가 발생하는 문제가 있다. 이에 따라, 셀 트랜지스터의 게이트 측벽에 절연 물질로 이루어진 게이트 스페이서를 형성한 후, 상기 게이트 스페이서를 이용하여 LDD 구조의 소오스/드레인 영역을 형성하는 방법이 사용되고 있다. 이때, 상기 게이트 스페이서를 구성하는 절연 물질로서 통상적으로 실리콘 질화물( $\text{Si}_3\text{N}_4$ )이 사용되어 왔다. 그러나, 디자인-룰이  $0.12\mu\text{m}$  이하로 축소되면서 메모리 셀 영역에서의 게이트 간격이 좁아짐에 따라, 게이트와 게이트 사이의 기생 캐패시턴스에 의해 커플링 계수(coupling ratio)가 저하되는 문제가 발생하였고, 이러한 문제를 해결하기 위하여 실리콘 질화물에 비해 유전율이 작은 산화물로 게이트 스페이서를 형성하고 있다.
- <17> 커플링 계수(C/R)란 프로그램 동작시 컨트롤 게이트에 인가된 전압( $V_{cg}$ )에 의해 플로팅 게이트로 커플링되는 전압의 비율로서, 커플링 계수가 높을수록 제품의 속도 및 성능이 향상된다. 커플링 계수(C/R)는 다음과 같은 식으로 주어진다.

<18> 
$$C/R = \frac{C_{ONO}}{C_{ONO} + C_{tunnel} + C_{spacer}} \quad \dots\dots \text{식(1)}$$

<19> 상기 식(1)으로 알 수 있듯이, 커플링 계수를 증가시키기 위해서는  $C_{ONO}/C_{tunnel}$ 의 비를 증가시키거나 기생 캐패시턴스인 스페이서 캐패시턴스( $C_{spacer}$ )를 감소시켜야 한다. 캐패시턴스는 유전율에 비례하기 때문에, 스페이서 캐패시턴스( $C_{spacer}$ )를 감소시키기 위해서는 스페이서를 저 유전율의 물질로 형성하여야 한다.

<20> 상기 저 유전율의 물질을 갖는 스페이스를 포함하는 불휘발성 메모리 장치에 대한 예들은 대한민국 공개 특허 2001-4962호, 대한민국 등록 특허 301244호 및 미합중국 특허 6,346,725호에 개시되어 있다.

<21> 도 1a 및 도 1b는 산화물로 이루어진 게이트 스페이서를 사용하는 종래 방법에 의한 불휘발성 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.

<22> 도 1a를 참조하면, 셀 영역과 주변회로 영역을 갖는 반도체 기판(10) 상에 터널 산화막(12), 플로팅 게이트(14), 유전막(16) 및 컨트롤 게이트(18)로 이루어진 복수개의 적층형 게이트 구조물(30)들을 형성한다. 이때, 상기 플로팅 게이트(14) 및 컨트롤 게이트(18)는 N형으로 도핑된 폴리실리콘층으로 형성하고, 상기 유전막(16)은 산화막/질화막/산화막이 순차적으로 적층된 ONO막으로 형성한다.

<23> 이어서, 상기 적층형 게이트 구조물(30) 및 기판(10) 상에 화학 기상 증착 (chemical vapor deposition) 방법으로 산화막(20), 예컨대 고온 산화막(HTO)을 약 1200 ~ 1500 Å의 두께로 증착한다.

<24> 통상적으로, 커플링 계수를 증가시키기 위해서는 플로팅 게이트(14)와 컨트롤 게이트(18)에 의해 형성되는 캐패시턴스( $C_{ONO}$ )를 증가시켜야 하는데, 캐패시턴스는 면적에



비례하므로 플로팅 게이트(14)의 높이를 증가시켜서 유전막(16)의 면적을 확장시키는 방법이 주로 사용되고 있다. 따라서, 디자인-룰이 감소됨에 따라 적층형 게이트 구조물(30)의 높이가 증가하고 게이트 간격은 줄어들기 때문에, 게이트의 어스펙트비(aspect ratio)가 커지게 된다. 이와 같이 높은 게이트 어스펙트비를 갖는 기판(10) 상에 산화막(20)을 증착하면, 상기 산화막(20)의 단차 도포성이 불량하기 때문에 게이트와 게이트 사이에 보이드(22)가 형성되며, 특히 게이트 간격이 좁은 메모리 셀 영역에서 이러한 보이드(22)가 심하게 발생한다.

<25> 도 1b를 참조하면, 상기 산화막(20)을 이방성 식각하여 상기 적층형 게이트 구조물(30)의 양 측벽에 게이트 스페이서(20a)를 형성한다. 이어서, 상기 게이트 스페이서(20a)를 이온주입 마스크로 이용하여 소오스/드레인 이온주입을 실시한 후, 결과물의 전면에서 실리콘 질화물로 이루어진 저지층(stopping layer)(24) 및 산화물로 이루어진 층간 절연막(interlayer dielectric layer; ILD)(26)을 순차적으로 형성한다.

<26> 그런 다음, 상기 저지층(24)의 표면까지 층간 절연막(26)을 화학 기계적 연마(chemical mechanical polishing; CMP) 공정으로 제거한 후, 상기 컨트롤 게이트(18)의 표면이 노출되도록 층간 절연막(26)을 건식 식각 공정으로 에치백한다. 이때, 셀 영역에서는 보이드(22)에 의해 게이트와 게이트 사이의 액티브 영역이 오픈되는 문제가 발생한다. 이와 같이 액티브 영역이 오픈된 상태에서 미립자(particle)나 자연 산화막을 제거하기 위한 세정 공정을 실시하면, 오픈되는 액티브 영역이 더욱 커지게 된다. 따라서, 코발트와 같은 금속층을 증착하고 실리사이드이션 반응에 의해 컨트롤 게이트(18) 위에  $\text{CoSi}_2$ 와 같은 금속 실리사이드층(28)을 형성할 때, 불균일하게 오픈되어진 액티브 영역

의 표면에도 금속 실리사이드층(28)이 형성됨으로써 셀 트랜지스터의 특성이 열화되는 문제가 발생한다.

**【발명이 이루고자 하는 기술적 과제】**

<27> 따라서, 본 발명의 일 목적은 게이트와 게이트 사이에 보이드가 형성되는 것을 방지하여 후속의 실리사이드이션 공정시 액티브 영역의 표면에 실리사이드가 형성되는 것을 방지할 수 있는 불휘발성 메모리 장치를 제공하는데 있다.

<28> 본 발명의 다른 목적은 게이트와 게이트 사이에 보이드가 형성되는 것을 방지하여 후속의 실리사이드이션 공정시 액티브 영역의 표면에 실리사이드가 형성되는 것을 방지할 수 있는 불휘발성 메모리 장치의 제조방법을 제공하는데 있다.

**【발명의 구성 및 작용】**

<29> 상술한 본 발명의 일 목적을 달성하기 위하여 본 발명은, 반도체 기판; 상기 기판의 제1 영역에서는 제1 간격으로 배치되고 상기 제1 영역에 인접한 제2 영역에서는 상기 제1 간격보다 넓은 제2 간격으로 배치되는 복수개의 적층형 게이트 구조물들; 각각의 적층형 게이트 구조물의 양 측벽 상에 형성되고 저 유전율의 절연 물질로 이루어진 제1 게이트 스페이서; 및 상기 제1 간격을 매립하도록 상기 제1 게이트 스페이서 상에 형성되고 단차 도포성이 우수한 절연 물질로 이루어진 제2 게이트 스페이서를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치를 제공한다.

<30> 바람직하게는, 상기 제1 게이트 스페이서는 산화물로 형성하고 상기 제2 게이트 스페이서는 질화물로 형성한다.

- <31> 상술한 본 발명의 다른 목적을 달성하기 위하여 본 발명은, 반도체 기판의 제1 영역에서는 제1 간격으로 배치되고 상기 제1 영역에 인접한 제2 영역에서는 상기 제1 간격보다 넓은 제2 간격으로 배치되는 복수개의 게이트 구조물들을 형성하는 단계; 각각의 적층형 게이트 구조물의 양 측벽 상에 저 유전율의 절연 물질로 이루어진 제1 게이트 스페이서를 형성하는 단계; 및 상기 제1 간격을 매립하도록 상기 제1 게이트 스페이서 상에 단차 도포성이 우수한 절연 물질로 이루어진 제2 게이트 스페이서를 형성하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법을 제공한다.
- <32> 본 발명에 의하면, 게이트 스페이서를 유전율이 작은 산화막과 단차 도포성이 우수한 질화막의 이중 스페이서(dual spacer)로 형성함으로써, 게이트와 게이트 사이의 좁은 간격을 상기 이중 스페이서에 의해 매립한다. 따라서, 게이트와 게이트 사이에 보이드가 발생하는 것을 방지하여 후속의 층간 절연막 식각 공정시 게이트와 게이트 사이의 액티브 영역이 오픈되는 것을 방지할 수 있다.
- <33> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <34> 도 2는 본 발명의 일 실시예에 의한 불휘발성 메모리 장치의 평면도이고, 도 3은 도 2의 AA'선에 따른 불휘발성 메모리 장치의 단면도이다.
- <35> 도 2 및 도 3을 참조하면, 셀 트랜지스터의 채널과 소오스/드레인이 형성될 액티브 영역(101)들이 각각 필드 영역에 의해 이격되어 서로 평행하게 제1 방향으로 신장되면서 제2 방향으로 반복되어 배열된다.

- <36>      상기 액티브 영역(101) 상에는 n개의 워드라인(108)들이 상기 제2 방향으로 신장되면서 제1 방향으로 반복되어 배열됨으로써, 기판(100) 상에 순차적으로 형성된 터널 산화막(102), 플로팅 게이트(104), 유전막(106) 및 컨트롤 게이트(108)로 구성된 적층형 게이트 구조물(110)을 형성한다. 이와 같이 소정 간격으로 이격되는 워드라인(108)들 사이의 노출된 액티브 영역(101)의 표면에는 소오스/드레인 영역(도시하지 않음)들이 형성된다.
- <37>      적층형 게이트 구조물(110)들은 제1 영역, 예컨대 메모리 셀 영역에서는 제1 간격(s1)으로 배치되고, 상기 제1 영역에 인접한 제2 영역, 예컨대 주변회로 영역에서는 상기 제1 간격(s1)보다 넓은 제2 간격(s2)으로 배치된다.
- <38>      상기 적층형 게이트 구조물(110)의 양 측벽에는 제1 스페이서(112a) 및 제2 스페이서(114a)로 이루어진 게이트 스페이서가 형성된다. 제1 게이트 스페이서(112a)는 저 유전율의 절연 물질, 바람직하게는 고온 산화물과 같은 CVD-산화물로 형성되고, 제2 게이트 스페이서(114a)는 단차 도포성이 우수한 절연 물질, 바람직하게는  $\text{Si}_3\text{N}_4$ 와 같은 질화물로 형성된다.
- <39>      상기 제1 게이트 스페이서(112a)는 상기 제1 간격(s1) 내에 소정의 갭(gap)이 형성될 수 있을 정도의 두께, 바람직하게는 약 500Å 정도의 두께로 형성된다.
- <40>      상기 제2 게이트 스페이서(114a)는 게이트와 게이트 사이의 좁은 제1 간격(s1)을 매립하도록 형성되며, 바람직하게는 상기 제1 게이트 스페이서(112a)에 비해 얇은 두께로 형성된다.

- <41> 본 발명에 의하면, 게이트와 게이트 사이의 기생 캐패시턴스에 의한 커플링 계수의 감소를 방지하기 위하여 게이트와 직접 접촉하는 제1 게이트 스페이서(112a)를 저 유전율의 산화물로 형성하고, 상기 제1 게이트 스페이서(112a) 상에 게이트와 게이트 사이의 좁은 제1 간격(s1)을 보이드 없이 매립할 수 있도록 단차 도포성이 우수한 질화물로 제2 게이트 스페이서(114a)를 형성한다. 따라서, 게이트 스페이서의 증착시 게이트와 게이트 사이에 보이드가 발생하지 않으므로, 실리사이드이션 공정시 게이트와 게이트 사이의 액티브 영역에 실리사이드층이 형성되는 것을 방지할 수 있다.
- <42> 도 4a 내지 도 4f는 도 2의 AA'선에 따른, 불휘발성 메모리 장치의 제조방법을 설명하기 위한 단면도들이다.
- <43> 도 4a를 참조하면, 셀로우 트렌치 소자분리(shallow trench isolation; STI)와 같은 소자분리 공정을 통해 반도체 기판(100)을 액티브 영역(도 2의 참조부호 101)과 필드 영역으로 구분한다. 상기 필드 영역은 통상의 실리콘 부분 산화(Local oxidation of silicon; LOCOS) 공정으로 형성할 수도 있고, 플로팅 게이트와 액티브 영역을 동시에 형성하는 자기정렬된 셀로우 트렌치 소자분리(self-aligned shallow trench isolation; SA-STI) 공정으로 형성할 수도 있다.
- <44> 이어서, 상기 기판(100) 상에 열산화 공정으로 터널 산화막(즉, 게이트 산화막)(102)을 형성한다. 상기 터널 산화막(102)은 실리콘 산화막 또는 실리콘 옥시나이트라이드막으로 형성한다.
- <45> 상기 터널 산화막(102)이 형성된 결과물 상에 폴리실리콘 또는 비정질실리콘으로 이루어진 플로팅 게이트층을 증착한 후, 통상의 도핑 방법, 예컨대  $\text{POCl}_3$  확산, 이온주입, 또는 인-시튜 도핑에 의해 상기 플로팅 게이트층을 고농도의 N형으로 도핑시킨다.

불휘발성 메모리 셀의 플로팅 게이트는 데이터의 프로그램 및 소거 동작시 터널링 소오스의 역할을 하기 때문에, 바람직하게는 불순물 도핑 균일도가 우수하고 전극의 저항 조절이 용이한 실란( $\text{SiH}_4$ )과 포스핀( $\text{PH}_3$ ) 가스를 사용하여 증착하는 인-시튜 도프트 폴리실리콘으로 플로팅 게이트를 형성한다. 이때, 상기 터널 산화막(102)의 신뢰성을 고려하여 인-시튜 도프트 폴리실리콘층의 상기 터널 산화막(102)에 접촉되는 하부막은 온도 변화에 따른 스트레스 특성이 우수하고 상 변이가 일어나지 않는 다결정상의 구조로 형성하고, 후속 공정에서 형성되는 유전막과 접촉하는 상부막은 비정질상의 구조로 형성한다. 바람직하게는, 상기 하부막은 상부막 두께의 20~50% 정도의 두께로 형성하는 것이 바람직하다.

<46> 이어서, 사진식각 공정으로 필드 영역 상의 플로팅 게이트층을 제거하여 이웃하는 메모리 셀의 플로팅 게이트들을 서로 절연시킨 후, 결과물 상에 누설 전류 특성이 우수하고 유전율이 3.9인  $\text{SiO}_2$ 막과 약 7.0의 높은 유전율을 갖는  $\text{Si}_3\text{N}_4$ 막이 조합된 ONO 유전막(106)을 형성한다. 상기 유전막(106)은 열산화 공정 또는 화학 기상 증착 공정으로 형성한다.

<47> 상기 유전막(106) 상에 폴리실리콘 또는 비정질실리콘으로 이루어진 컨트롤 게이트층을 형성한다. 불휘발성 메모리 셀의 컨트롤 게이트는 데이터의 프로그램 및 소거 동작시 기판의 전자들을 플로팅 게이트로 이동시키거나, 플로팅 게이트 내의 전자들을 기판으로 이동시키기 위해 전압이 인가되는 층이다. 따라서, 상기 컨트롤 게이트층을 증착할 때 그 하부의 유전막(106)이 열화되는 것을 방지하기 위하여, 다결정상의 실리콘층을 증착한 후  $\text{POCl}_3$ 이나 이온주입에 의해 불순물 도핑을 실시하는 방법이나, 비정질상의 인-시튜 도프트 실리콘층을 증착한 후 열처리를 통해 결정상의 실리콘층으로 상 변이시키

는 방법으로 형성한다. 상기 열처리는 로(furnace) 열처리 또는 급속 열처리(RTA)로 실시한다. 로 열처리의 경우 약  $600^{\circ}\text{C} \sim 950^{\circ}\text{C}$ 의 온도에서 30분 정도 진행하며, 급속 열처리는 약  $800^{\circ}\text{C} \sim 1100^{\circ}\text{C}$ 의 온도에서 진행하는 것이 바람직하다.

<48> 사진식각 공정으로 상기 컨트롤 게이트층, 유전막(106) 및 플로팅 게이트층을 차례로 건식 식각함으로써, 터널 산화막(102), 플로팅 게이트(104), 유전막(106) 및 컨트롤 게이트(108)로 구성된 적층형 게이트 구조물(110)을 형성한다. 상기 적층형 게이트 구조물(110)들은 제1 영역, 예컨대 메모리 셀 영역에서는 제1 간격(s1)으로 배치되고, 상기 제1 영역에 인접한 제2 영역, 예컨대 주변회로 영역에서는 상기 제1 간격(s1)보다 넓은 제2 간격(s2)으로 배치된다.

<49> 도 4b를 참조하면, 상술한 바와 같이 게이트 패터닝을 완료한 후, 트랜지스터를 LDD 구조로 만들기 위한 게이트 스페이서 형성공정을 진행한다.

<50> 구체적으로, 상기 적층형 게이트 구조물(110)들 및 기판(100) 상에 저 유전율을 갖는 절연막, 예컨대 산화막(112)을 게이트들 사이의 좁은 제1 간격(s1) 내에 소정의 갭이 형성될 수 있을 정도의 두께, 바람직하게는 약  $500\text{\AA}$  정도의 두께로 증착한다.

<51> 도 4c를 참조하면, 상기 산화막(112)을 이방성 식각하여 각각의 적층형 게이트 구조물들(110)의 양 측벽 상에 제1 게이트 스페이서(112a)를 형성한다.

<52> 여기서, 상기 산화막(112)은 단차 도포성을 개선하기 위해  $0.4\text{torr}$  이하의 저압에서 형성할 수 있다. 그러나, 이러한 저압 증착은 증착 속도의 감소를 수반하므로, 공정 쓰루풋 측면에서 다음과 같은 단계로 제1 게이트 스페이서(112a)를 형성할 수 있다.

<53> 즉, 기판(100) 및 적층형 게이트 구조물들(110) 상에 제1 산화막을 정상 압력 하에서 증착한 후, 상기 제1 산화막을 이방성 식각하여 각각의 적층형 게이트 구조물(110)의 양 측벽 상에 제1 산화막 스페이서를 형성한다. 상기 기판(100), 적층형 게이트 구조물들(110) 및 제1 산화막 스페이서들 상에 제2 산화막을 0.4torr 이하의 저압에서 증착한 후, 상기 제2 산화막을 이방성 식각하여 제1 산화막 스페이서 상에 제2 산화막 스페이서를 형성한다. 이와 같이 제1 게이트 스페이서(112a)를 두 번의 산화막 증착/식각 공정으로 형성함으로써, 산화막의 단차 도포성을 향상시킬 수 있다.

<54> 도 4d를 참조하면, 상기 제1 게이트 스페이서(112a), 적층형 게이트 구조물(110) 및 기판(100) 상에 단차 도포성이 우수한 절연막, 예컨대  $\text{Si}_3\text{N}_4$ 와 같은 질화막(114)을 상기 산화막(112)보다 얇은 두께, 바람직하게는 약 400Å의 두께로 증착한다.

<55> 도 4e를 참조하면, 상기 질화막(114)을 이방성 식각하여 상기 제1 게이트 스페이서(112a) 상에 제2 게이트 스페이서(114a)를 형성한다. 이때, 상기 제2 게이트 스페이서(114a)는 제1 게이트 스페이서(112a)에 의해 형성된 제1 간격(s1) 내의 갭을 완전히 매립한다. 따라서, 제1 게이트 스페이서(112a)와 제2 게이트 스페이서(114a)의 듀얼 스페이서 구조에 의해 게이트와 게이트 사이의 좁은 제1 간격(s1) 내에 보이드가 형성되지 않으므로, 후속의 층간 절연막 식각공정시 게이트와 게이트 사이의 액티브 영역이 오픈되는 것을 방지할 수 있다. 따라서, 후속의 실리사이드이션 공정시 상기 액티브 영역 상에 실리사이드층이 형성되지 않으므로, 트랜지스터의 특성이 열화되는 것을 방지할 수 있다.

<56> 도 4f를 참조하면, 상기 제1 및 제2 게이트 스페이서(112a, 114a)를 이온주입 마스크로 이용하여 소오스/드레인 이온주입을 실시한 후, 결과물의 전면에 실리콘 질화물로



이루어진 저지층(116) 및 산화물로 이루어진 층간 절연막(ILD)(118)을 순차적으로 형성한다.

<57> 이어서, 상기 저지층(116)의 표면까지 층간 절연막(118)을 화학 기계적 연마(CMP) 공정으로 제거한 후, 상기 적층형 게이트 구조물(100)의 표면이 노출되도록 층간 절연막(118)을 건식 식각 공정으로 에치백한다.

<58> 그런 다음, 기판(100) 상의 미립자를 비롯한 오염물 또는 실리콘 영역의 표면에 생성된 자연 산화막을 제거하기 위한 통상의 습식 세정 공정, 예컨대 불산(hydrofluoric acid; HF) 및 SC-1(Standard Cleaning;  $\text{NH}_4\text{OH}$ 와  $\text{H}_2\text{O}_2$  및  $\text{H}_2\text{O}$ 가 1:4:20의 비로 혼합된 유기물)을 이용한 세정 공정을 실시하고, 상기 기판(100)을 RF 스퍼터 설비의 챔버에 넣는다. 기판(100)의 이동 중에 재 생성될 수 있는 자연 산화막 등을 제거하기 위하여 RF 플라즈마 식각을 실시한 후, 인-시투로 상기 기판(100)의 전면에 금속층, 예컨대 코발트층을 스퍼터링으로 증착한다. 1차 열처리 공정을 실시하여 상기 금속층이 실리콘과 접촉되어 있는 영역에서 실리사이드 반응을 유발함으로써, 적층형 게이트 구조물(100), 즉 컨트롤 게이트(108) 상에 제1 상의 금속 실리사이드, 예컨대 코발트 모노실리사이드( $\text{CoSi}$ )를 형성한다.

<59> 이어서, 미반응된 금속층을 습식 식각 공정으로 제거한 후, 2차 열처리 공정을 실시하여 상기 제1 상의 금속 실리사이드를 상 변이시켜 제2 상의 금속 실리사이드(120), 예컨대 낮은 비저항의 코발트 다이실리사이드( $\text{CoSi}_2$ )를 형성한다.

**【발명의 효과】**

- <60> 상술한 바와 같이 본 발명에 의하면, 게이트 스페이서를 유전율이 작은 산화막과 단차 도포성이 우수한 질화막의 이중 스페이서로 형성함으로써, 게이트와 게이트 사이의 좁은 간격을 상기 이중 스페이서에 의해 매립한다. 따라서, 게이트와 게이트 사이에 보이드가 발생하는 것을 방지하여 후속의 층간 절연막 식각 공정시 게이트와 게이트 사이의 액티브 영역이 오픈되어 그 위에 실리사이드가 형성되는 것을 방지할 수 있다.
- <61> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 기판의 제1 영역에서는 제1 간격으로 배치되고 상기 제1 영역에 인접한 제2 영역에서는 상기 제1 간격보다 넓은 제2 간격으로 배치되는 복수개의 적층형 게이트 구조물들;

각각의 적층형 게이트 구조물의 양 측벽 상에 형성되고, 저 유전율의 절연 물질로 이루어진 제1 게이트 스페이서; 및

상기 제1 간격을 매립하도록 상기 제1 게이트 스페이서 상에 형성되고, 단차 도포성이 우수한 절연 물질로 이루어진 제2 게이트 스페이서를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 2】**

제1항에 있어서, 상기 제1 게이트 스페이서는 산화물로 형성하고 상기 제2 게이트 스페이서는 질화물로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 3】**

제1항에 있어서, 상기 제1 게이트 스페이서는 상기 제1 간격 내에 소정의 갭이 형성될 수 있을 정도의 두께로 형성된 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 4】**

제3항에 있어서, 상기 제1 게이트 스페이서는 500Å 정도의 두께로 형성된 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 5】**

제1항에 있어서, 상기 제2 게이트 스페이서는 상기 제1 게이트 스페이서에 비해 얇은 두께로 형성된 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 6】**

제1항에 있어서, 상기 적층형 게이트 구조물은 터널 산화막, 플로팅 게이트, 유전막 및 컨트롤 게이트가 순차적으로 적층되어 형성된 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 7】**

제6항에 있어서, 상기 컨트롤 게이트는 폴리실리콘층과, 실리사이드이션 반응에 의해 상기 폴리실리콘층 상에 형성된 금속 실리사이드층을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 8】**

제7항에 있어서, 상기 금속 실리사이드층은 코발트 실리사이드( $\text{CoSi}_2$ ), 티타늄 실리사이드( $\text{TiSi}_2$ ) 및 니켈 실리사이드( $\text{NiSi}_2$ )의 군에서 선택된 어느 하나인 것을 특징으로 하는 불휘발성 메모리 장치.

**【청구항 9】**

반도체 기판의 제1 영역에서는 제1 간격으로 배치되고 상기 제1 영역에 인접한 제2 영역에서는 상기 제1 간격보다 넓은 제2 간격으로 배치되는 복수개의 게이트 구조물들을 형성하는 단계;

각각의 적층형 게이트 구조물의 양 측벽 상에 저 유전율의 절연 물질로 이루어진 제1 게이트 스페이서를 형성하는 단계; 및

상기 제1 간격을 매립하도록 상기 제1 게이트 스페이서 상에 단차 도포성이 우수한 절연 물질로 이루어진 제2 게이트 스페이서를 형성하는 단계를 구비하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 10】**

제9항에 있어서, 상기 제1 게이트 스페이서는 산화물로 형성하고 상기 제2 게이트 스페이서는 질화물로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 11】**

제9항에 있어서, 상기 제1 게이트 스페이서는 상기 제1 간격 내에 소정의 갭이 형성될 수 있을 정도의 두께로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 12】**

제11항에 있어서, 상기 제1 게이트 스페이서는 500Å 정도의 두께로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 13】**

제9항에 있어서, 상기 제2 게이트 스페이서는 상기 제1 게이트 스페이서에 비해 얇은 두께로 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 14】**

제9항에 있어서, 상기 제1 게이트 스페이서는 단차 도포성을 개선하기 위해 0.4torr 이하의 저압에서 형성하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 15】**

제9항에 있어서, 상기 제1 게이트 스페이서를 형성하는 단계는,

상기 기판 및 적층형 게이트 구조물들 상에 제1 게이트 스페이서용 제1 절연막을 증착하는 단계;

상기 제1 절연막을 이방성 식각하여 각각의 적층형 게이트 구조물의 양 측벽 상에 상기 제1 절연막 스페이서를 형성하는 단계;

상기 기판, 적층형 게이트 구조물들 및 제1 절연막 스페이서들 상에 제1 게이트 스페이서용 제2 절연막을 0.4torr 이하의 저압에서 증착하는 단계; 및

상기 제2 절연막을 이방성 식각하여 상기 제1 절연막 스페이서 상에 제2 절연막 스페이서를 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 16】**

제9항에 있어서, 상기 적층형 게이트 구조물은 터널 산화막, 플로팅 게이트, 유전막 및 컨트롤 게이트가 순차적으로 적층되어 형성된 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 17】**

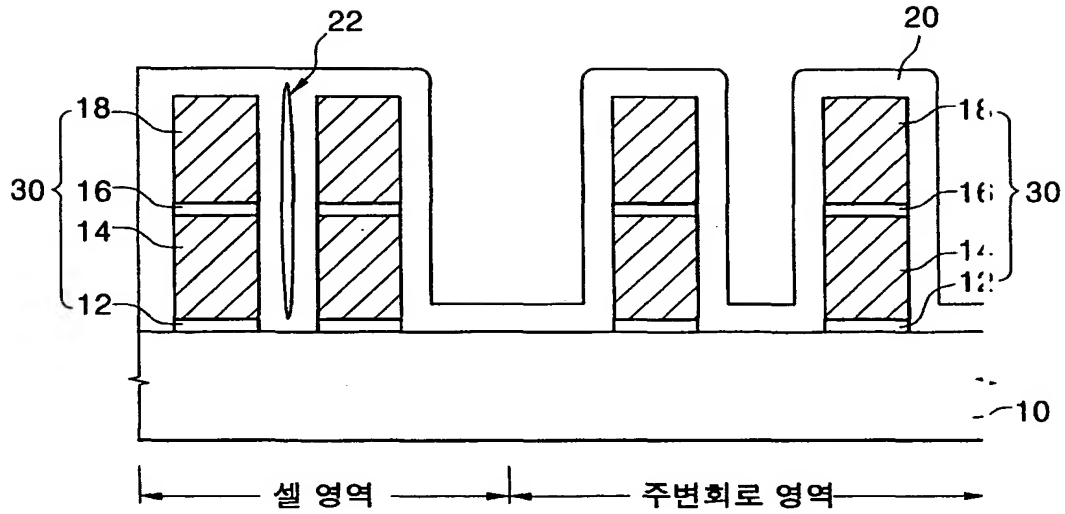
제16항에 있어서, 상기 컨트롤 게이트는 폴리실리콘층과, 실리사이드이션 반응에 의해 상기 폴리실리콘층 상에 형성된 금속 실리사이드층을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

**【청구항 18】**

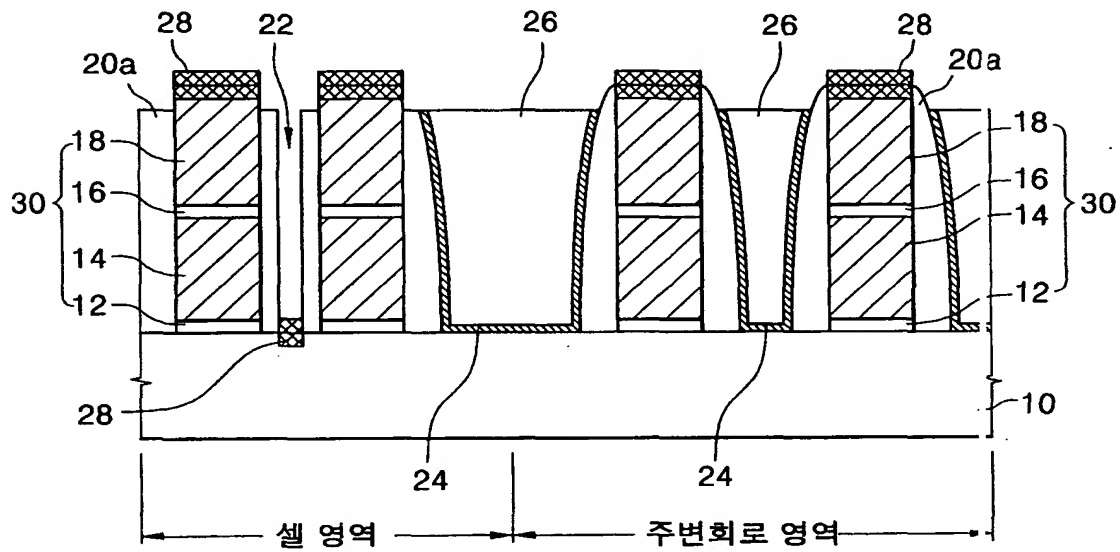
제17항에 있어서, 상기 금속 실리사이드층은 코발트 실리사이드( $\text{CoSi}_2$ ), 티타늄 실리사이드( $\text{TiSi}_2$ ) 및 니켈 실리사이드( $\text{NiSi}_2$ )의 군에서 선택된 어느 하나로 이루어진 것을 특징으로 하는 불휘발성 메모리 장치의 제조방법.

【도면】

【도 1a】

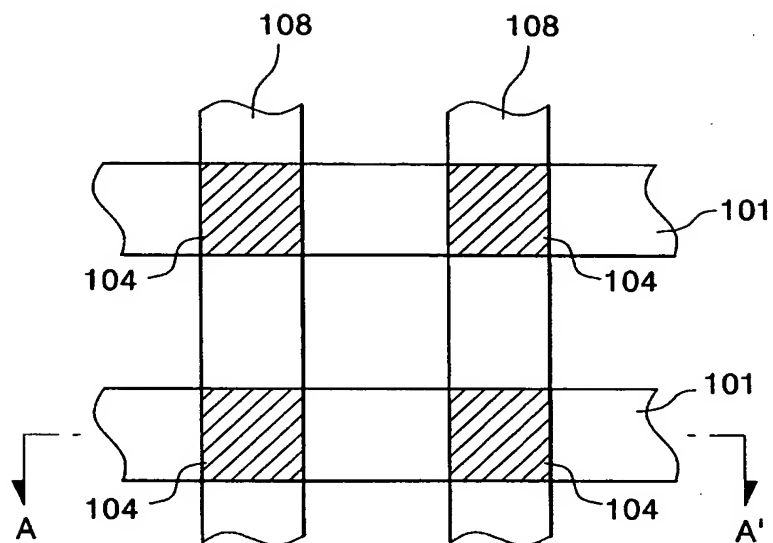


【도 1b】

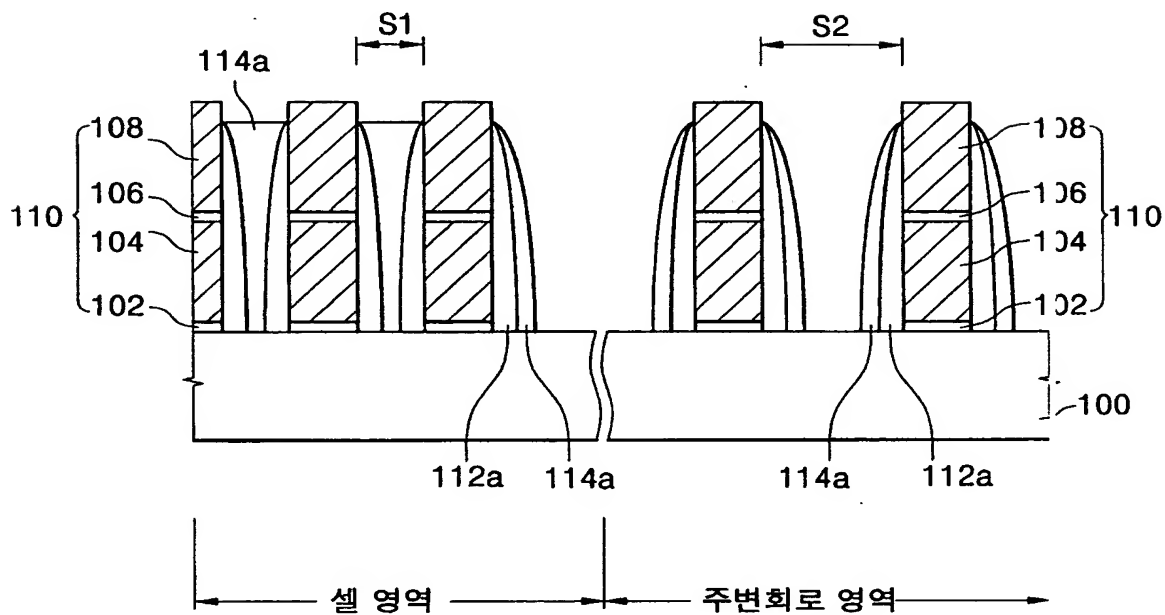




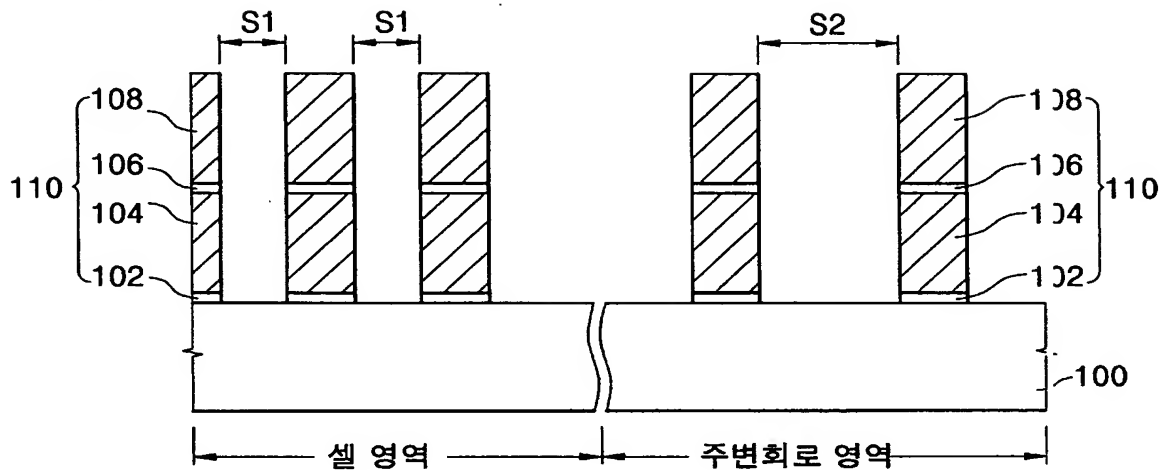
【도 2】



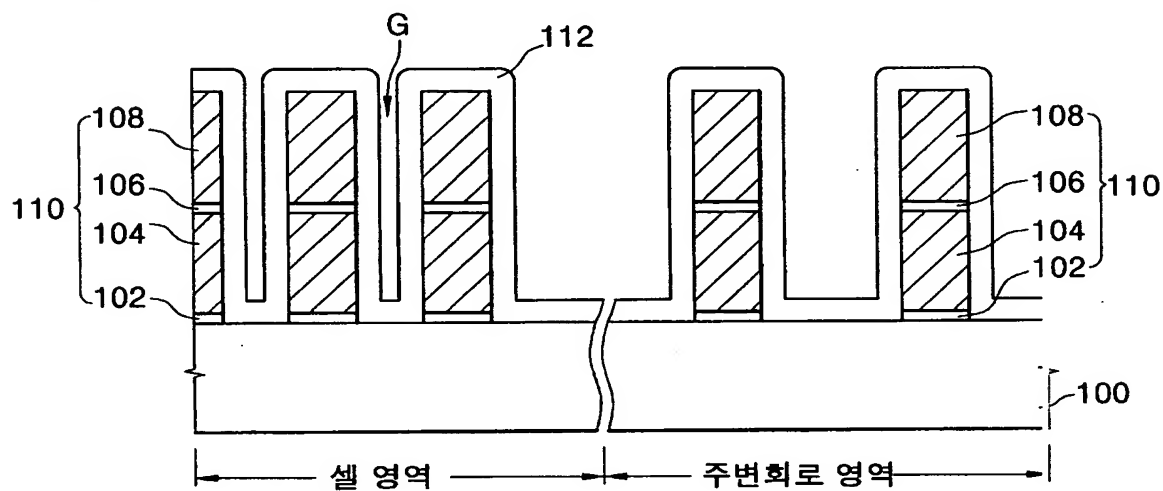
【도 3】



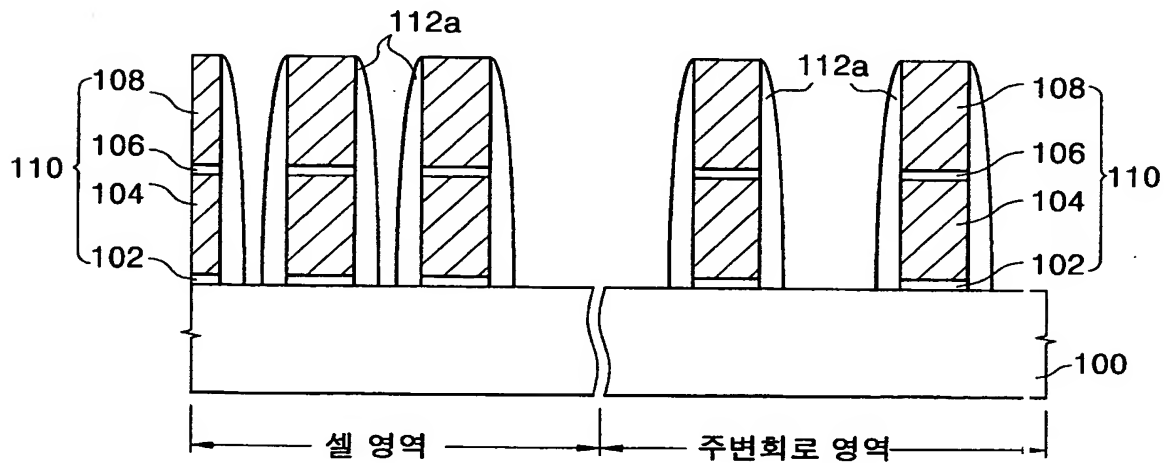
【도 4a】



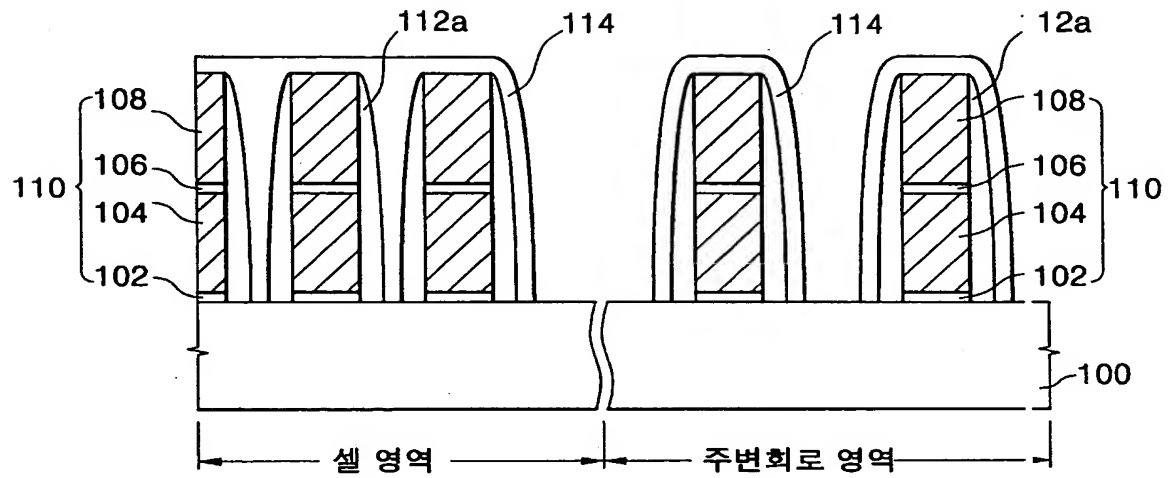
【도 4b】



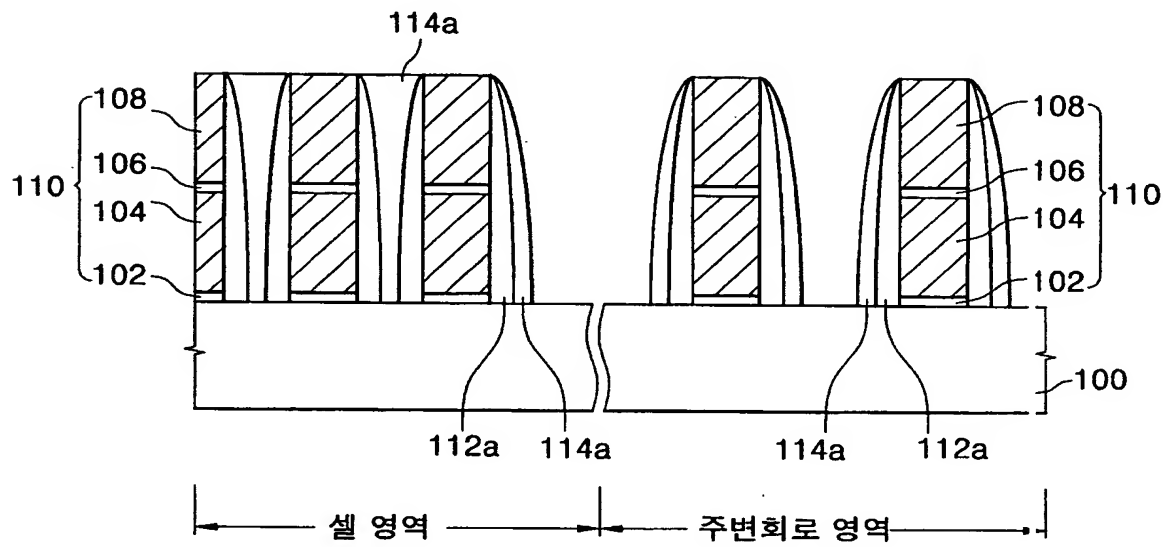
【도 4c】



【도 4d】



【도 4e】



【도 4f】

